

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshihisa IWATA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR APPARATUS HAVING LOGIC LEVEL DECISION CIRCUIT AND INTER-SEMICONDUCTOR APPARATUS SIGNAL TRANSMISSION SYSTEM

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

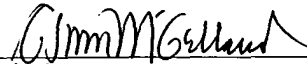
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-051360	February 27, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月27日

出 願 番 号

Application Number:

特願2003-051360

[ST.10/C]:

[JP2003-051360]

出 願 人

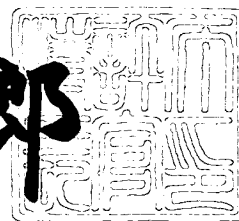
Applicant(s):

株式会社東芝

2003年 3月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3019055



【書類名】 特許願

【整理番号】 A000205877

【提出日】 平成15年 2月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 3/343

【発明の名称】 半導体装置および半導体装置間信号伝送システム

【請求項の数】 16

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 岩田 佳久

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

 【弁理士】

 【氏名又は名称】 河野 哲

【選任した代理人】

 【識別番号】 100088683

 【弁理士】

 【氏名又は名称】 中村 誠

【選任した代理人】

 【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置間信号伝送システム

【特許請求の範囲】

【請求項 1】 二値論理を有する入力信号を当該入力信号の論理値“1”に対応する第1の参照信号と比較して差信号を生成する第1の比較回路と、

前記入力信号を当該入力信号の論理値“0”に対応する第2の参照信号と比較して差信号を生成する第2の比較回路と、

前記第1の比較回路の出力と前記第2の比較回路の出力を比較して前記入力信号の論理値を判定する第3の比較回路

とを具備する論理判定回路を内蔵することを特徴とする半導体装置。

【請求項 2】 前記論理判定回路は、外部からの入力信号の論理値を判定する入力レシーバであることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記論理判定回路は、メモリセルからの読み出し信号の論理値を判定するセンスアンプであることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記第1の参照信号および第2の参照信号をそれぞれ生成する参照信号生成用のメモリセルを有することを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記第1の参照信号のレベルの方が第2の参照信号のレベルより大きい場合は、第1の参照信号のレベルは、論理値“1”の入力レベルの分布の最大値よりも大きな値であり、第2の参照信号のレベルは、論理値“0”の入力レベルの分布の最小値よりも小さな値であることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記第2の参照信号のレベルの方が第1の参照信号のレベルより大きい場合は、第1の参照信号のレベルは、論理値“1”の入力レベルの分布の最小値よりも小さな値であり、第2の参照信号のレベルは、論理値“0”の入力レベルの分布の最大値よりも大きな値であることを特徴とする請求項 4 記載の半導体装置。

【請求項 7】 前記第1の比較回路および第2の比較回路は、前記論理判定回路が電圧入力タイプの論理判定回路である場合にはそれぞれカレントミラー型

電圧比較回路が用いられており、前記論理判定回路が電流入力タイプの論理判定回路である場合にはそれぞれカレントミラー型電流比較回路が用いられていることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】 前記第 1 の比較回路および第 2 の比較回路は、それぞれカレントミラー型比較回路が用いられており、各カレントミラー型比較回路において、一对の負荷用のトランジスタの駆動力は同じであり、一对の入力用のトランジスタの駆動力は前記第 1 の参照信号のレベルと第 2 の参照信号のレベルの大小関係に応じて異なることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 前記第 1 の比較回路および第 2 の比較回路は、それぞれカレントミラー型電圧比較回路が用いられており、各カレントミラー型電圧比較回路の一对の負荷用のトランジスタの駆動力は同じであり、

前記第 1 の参照信号のレベルの方が第 2 の参照信号のレベルより大きい場合は、前記第 1 の比較回路で用いられるカレントミラー型電圧比較回路において第 1 の参照信号がゲートに入力するトランジスタの駆動力 $M1$ と前記入力信号がゲートに入力するトランジスタの駆動力 $M2$ 、および、前記第 2 の比較回路で用いられるカレントミラー型電圧比較回路において前記入力信号がゲートに入力するトランジスタの駆動力 $M3$ と第 2 の参照信号がゲートに入力するトランジスタの駆動力 $M4$ は、 $M1 > M2 = M3 > M4$ の関係に設定されていることを特徴とする請求項 8 記載の半導体装置。

【請求項 10】 前記第 1 の比較回路および第 2 の比較回路は、それぞれカレントミラー型電圧比較回路が用いられており、各カレントミラー型電圧比較回路の一对の負荷用のトランジスタの駆動力は同じであり、

前記第 2 の参照信号のレベルの方が第 1 の参照信号のレベルより大きい場合は、前記第 1 の比較回路で用いられるカレントミラー型電圧比較回路において第 1 の参照信号がゲートに入力するトランジスタの駆動力 $M1$ と前記入力信号がゲートに入力するトランジスタの駆動力 $M2$ 、および、前記第 2 の比較回路で用いられるカレントミラー型電圧比較回路において前記入力信号がゲートに入力するトランジスタの駆動力 $M3$ と第 2 の参照信号がゲートに入力するトランジスタの駆動力 $M4$ は、 $M4 > M2 = M3 > M1$ の関係に設定されていることを特徴とする請求項 8 記載の半導

体装置。

【請求項 1 1】 前記第 1 の比較回路および第 2 の比較回路は、それぞれカレントミラー型電流比較回路が用いられており、各カレントミラー型電圧比較回路の一对の負荷用のトランジスタの駆動力は同じであり、

前記第 1 の参照信号のレベルの方が第 2 の参照信号のレベルより大きい場合は、前記第 1 の比較回路で用いられるカレントミラー型電流比較回路において前記入力信号と等しい電流が流れるトランジスタの駆動力 $M2$ と前記第 1 の参照信号が入力するトランジスタの駆動力 $M4$ 、および、前記第 2 の比較回路で用いられるカレントミラー型電流比較回路において前記第 2 の参照信号が入力するトランジスタの駆動力 $M5$ と入力信号と等しい電流が流れるトランジスタの駆動力 $M7$ は、 $M4 > M2 = M7 > M5$ の関係に設定されていることを特徴とする請求項 8 記載の半導体装置。

【請求項 1 2】 前記第 1 の比較回路および第 2 の比較回路は、それぞれカレントミラー型電流比較回路が用いられており、各カレントミラー型電圧比較回路の一对の負荷用のトランジスタの駆動力は同じであり、

前記第 2 の参照信号のレベルの方が第 1 の参照信号のレベルより大きい場合は、前記第 1 の比較回路で用いられるカレントミラー型電流比較回路において前記入力信号と等しい電流が流れるトランジスタの駆動力 $M2$ と前記第 1 の参照信号が入力するトランジスタの駆動力 $M4$ 、および、前記第 2 の比較回路で用いられるカレントミラー型電流比較回路において前記第 2 の参照信号が入力するトランジスタの駆動力 $M5$ と入力信号と等しい電流が流れるトランジスタの駆動力 $M7$ は、 $M5 > M2 = M7 > M4$ の関係に設定されていることを特徴とする請求項 8 記載の半導体装置。

【請求項 1 3】 前記メモリセルは、非磁性層を挟持した二層の磁性層を有する磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に “0”、“1” の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の記録層の磁化方向を変化させて情報を書き込むメモリセルであることを特徴とする請求項 3 乃至 1 2 のいずれか 1 項に記載の半導体装置。

【請求項 1 4】 複数の半導体装置間で二値論理を有する信号を送受信する信号伝送システムにおいて、各半導体装置は外部からの入力信号の論理値を判定

する入力レシーバを有し、各入力レシーバの論理判定の参照値として、前記入力信号の論理値“1”に対応する第1の参照信号と論理値“0”に対応する第2の参照信号が外部から供給されることを特徴とする半導体装置間信号伝送システム。

【請求項15】 前記複数の半導体装置は、同一配線基板に実装されて半導体モジュールを構成することを特徴とする請求項14記載の半導体装置間信号伝送システム。

【請求項16】 二値論理を有する入力信号の論理値を判定するための参照信号として論理値の“1”レベルと“0”レベルを有する2つの参照信号を用い、入力信号のレベルが2つの参照信号のレベルのどちらに近いかによって入力信号の論理値を判定する論理判定回路を備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、外部あるいは内部からの入力信号の二値レベルの論理値を判定する論理判定回路を有する半導体装置および半導体装置間信号伝送システムに係り、特に論理判定の参照信号として論理値レベルを用いる論理判定回路に関するもので、例えば半導体メモリ、複数の半導体装置からなる半導体モジュールなどに使用されるものである。

【0002】

【従来の技術】

メモリ、MPUなどのデジタル半導体装置の内部で処理される信号は二値の論理レベルを電圧値で表わしており、これらの半導体装置間で伝送される信号も二値の論理レベルを電圧値で表わしている。

【0003】

図10(a)は、従来の半導体装置間信号伝送システムの一例を示している。

【0004】

この信号伝送システムは、複数の半導体装置100に共通にアドレスバス・データバス・制御信号線11が接続されており、各半導体装置100に共通に参照電圧Vr

efが供給される。この参照電圧Vrefは、二値の入力信号の論理値“1”の電圧と論理値“0”の電圧の中間値を有する。

【0005】

図10(b)は、同図(a)中の各半導体装置100 内の入力レシーバを示している。この入力レシーバ101 は前記参照電圧Vrefを用いて入力信号Vin の論理値を判定する。この際、以下に述べるように誤動作が発生し易い。

【0006】

即ち、半導体装置は、内部のMOS トランジスタの微細化、高集積化により、印加電圧の最大値の制限が小さくなってきているので、電源電圧、2つの論理値の電圧差も小さくせざるを得ない。そのため、データ“1”とデータ“0”の電位の間値である参照電圧Vrefと、入力レシーバが受け取るデータ“1”あるいは、データ“0”との電圧差は小さくなる。

【0007】

このような状況において、半導体装置の内部回路の動作による電源ノイズ、接地レベルの変動、および入力信号そのものの反射などによる揺れがあると、入力レシーバの誤動作が発生し易くなる。また、外部から供給されている参照電圧は、半導体装置が実装されるボードやモジュール内で隣接配線とのカップリングによって揺れると、入力レシーバの誤動作の要因となる。

【0008】

一方、入出力ポートが一つであるメモリセルを有する半導体メモリにおいて、メモリセルからの読み出し信号の論理値を判定するセンスアンプは、従来、参照電圧として、データ‘1’に相当する電圧とデータ‘0’に相当する電圧の中間値を用いている。この場合、メモリセルの駆動力の弱さ等に起因して読み出し信号が小振幅であると、センスアンプで判定する際に前記したように誤動作が発生し易い。

【0009】

即ち、半導体メモリの高集積化、大容量化により、メモリセルからみた負荷は大きくなり、高速性も要求されるので、センスアンプがセンス開始する時に受け取る入力信号と参照電圧との電圧差（あるいは、入力信号と参照電流との電流差

）は小さくなる傾向にある。このことは、メモリセルの製造ばらつきを考え、センスアンプの感度が変わらないとすると、読めないセルが増加することを意味し、歩留まりに低下をきたす。

【 0 0 1 0 】

図 1 1 (a) および (b) は、従来の半導体メモリのセンスアンプに使用されている論理判定回路の二例を示している。

【 0 0 1 1 】

この論理判定回路は、参照信号として、データ “1” のセルからの読み出し電流 I_{ref1} (または電圧 V_{ref1}) とデータ “0” のセルからの読み出し電流 I_{ref0} (または電圧 V_{ref0}) の中間値を生成しているので、前述した問題点がある。

【 0 0 1 2 】

一方、近年、新たな原理により情報を記憶する素子が数多く提案されているが、そのうちの一つに、トンネル型磁気抵抗 (Tunneling Magneto Resistive) 効果を用いて “1” / “0” 情報の記憶を行う強磁性トンネル接合 (Magnetic Tunnel Junction: 以後、MTJ と表記する) 素子がある。そして、この MTJ 素子を利用して構成した磁気メモリセルを行列状に配置した不揮発性、高速性を併せ持つ磁気ランダムアクセスメモリ (MRAM: Magnetic Random Access Memory) が提案されている (例えば、非特許文献 1 参照)。

【 0 0 1 3 】

図 1 2 は、MRAM で用いられる MTJ 素子の断面構造を概略的に示す。

【 0 0 1 4 】

この MTJ 素子は、2 つの磁性層 (強磁性層、強磁性体膜) で 1 つの非磁性層 (トンネルバリア膜) を挟んだ構造を有し、2 つの磁性層の磁化の向きが平行であるか反平行であるかによって “1” / “0” 情報を記憶する。

【 0 0 1 5 】

通常、2 つの磁性層の一方側には反強磁性層が配置される。反強磁性層は、一方側の磁性層の磁化の向きを固定することによって、他方側の磁性層の磁化の向きのみを変えることにより情報を容易に書き換えるための部材である。ここで、磁化可変側の磁性層は自由層 (または記録層)、磁化固定側の磁性層は固定層 (

またはピン層)と呼ばれる。

【0016】

図13(a)および(b)は、図12に示したMTJ素子の2つの磁性層の磁化の向きの2つの状態を示している。

【0017】

図13(a)に示すように、2つの磁性層の磁化の向き(図示矢印の向き)が平行(同じ)である場合は、2つの磁性層に挟まれたトンネルバリア膜のトンネル抵抗は最も低くなる(トンネル電流が最も大きくなる)。

【0018】

図13(b)に示すように、2つの磁性層の磁化の向きが反平行である場合は、2つの磁性層に挟まれたトンネルバリア膜のトンネル抵抗は最も高くなる(トンネル電流が最も小さくなる)。

【0019】

MRAMでは、MTJ素子の抵抗値が異なる2つの状態を、“1”情報の記憶状態(“1”状態)および“0”情報の記憶状態(“0”状態)に対応させている。

【0020】

図14は、MRAMのセルアレイの平面レイアウトの一例を模式的に示す。

【0021】

複数の書き込み/読み出し用のビット線BLと複数の書き込みワード線WWLが直交方向に配設され、その各交点に対応してMTJ素子が配設される。このMTJ素子は、長方形の長辺が書き込みワード線WWLに沿い、短辺がビット線BLに沿い、長辺方向に沿うように磁化容易軸方向が付与されている。各ビット線BLは、同一行(または列)の複数のMTJ素子の各固定層に接続されており、各書き込みワード線WWLは同一列(または行)の複数のMTJ素子の各自由層に近接して対向するように配置されている。

【0022】

図15は、図14中の各MTJ素子にそれぞれ読み出し用セル選択トランジスタ(NMOSFET)が直列に接続されてメモリセルが構成されている場合について書き込みワード線に垂直な断面におけるメモリセルの1個分に着目して構造の一例を

示す断面図である。

【 0 0 2 3 】

図 1 5 において、半導体基板（例えば P 型 Si 基板）の表層部に選択的に NMOSFET のドレイン領域 10 またはソース領域 11 となる不純物拡散層 (N+) が形成されており、チャンネル領域上にゲート酸化膜 12 を介してゲート電極 13 が形成されている。14 は第 1 金属配線層、15 は第 2 金属配線層、16 は第 3 金属配線層からなる MTJ 接続用配線、17 は第 1 金属配線層 14 を前記不純物拡散層 (N+) へ電氣的に接続するためのコンタクト、18 は第 2 金属配線層 15 から第 1 金属配線層 14 へ電氣的に接続するためのコンタクト、19 は第 3 金属配線層 16 から第 2 金属配線層 15 へ電氣的に接続するためのコンタクト、20 は MTJ 素子、21 は第 4 配線層、22 は第 4 金属配線層 21 を MTJ 素子 20 へ電氣的に接続するためのコンタクトである。なお、配線層間には層間絶縁膜が形成されている。

【 0 0 2 4 】

なお、図中、配線の用途として、(BL) は書き込み／読み出し用のビット線、(WL) は書き込みワード線、(SL) はソース線、(RWL) は読み出しワード線を表わしており、ソース線 (SL) は接地電位に接続される。

【 0 0 2 5 】

次に、図 1 4 乃至図 1 5 を参照して MTJ 素子に対する書き込み動作原理を説明する。

【 0 0 2 6 】

MTJ 素子に対する書き込みは、書き込みワード線 WWL およびビット線 BL に電流を流し、両配線に流れる電流により作られる磁界を用いて MTJ 素子の磁化の向きを平行または反平行にすることにより達成される。

【 0 0 2 7 】

即ち、MTJ 素子へ情報を書き込む時には、ビット線 BL には書き込みデータに応じて第 1 の方向またはそれとは逆の第 2 の方向に向かう電流を流して磁界 H_x を発生させ、書き込みワード線 WWL には一定方向に向かう電流のみを流して磁界 H_y を発生させることにより、合成磁界を用いて情報を書き込む。この際、ビット線 BL に第 1 の方向に向かう電流を流すと、MTJ 素子の磁化の向きは平行となり、ビッ

ト線BLに第2の方向に向かう電流を流すと、MTJ素子の磁化の向きは反平行となる。

【0028】

MTJ素子から情報を読み出す時には、読み出しワード線RWLを活性化させ、選択されたMTJ素子に接続されるスイッチ素子のみをオン状態として電流経路を作り、選択されたビット線BLから接地電位へ電流を流す。その結果、選択されたMTJ素子だけにその抵抗値に応じた電流が流れるので、その電流値を検出することにより情報を読み出すことができる。

【0029】

次に、MTJ素子の磁化の向きが変わる仕組みについて、図16および図17を参照しながら簡単に説明する。

【0030】

図16は、MTJ素子の印加磁界の反転による抵抗値の変化特性（MTJ曲線）を示している。

【0031】

図17は、MTJ素子のアステロイド曲線を示している。

【0032】

図16に示すMTJ曲線のように、MTJ素子のEasy-Axis（磁化容易軸）方向に磁界Hxをかけると、MTJ素子の抵抗値は例えば20%～40%程度変化する。この変化率（変化の前後の抵抗の比）は、MR比と呼ばれる。なお、MR比は、MTJ素子の磁性層の性質により変化する。現在では、MR比が50%程度のMTJ素子も得られている。MTJ素子には、Easy-Axis方向の磁界HxとHard-Axis（磁化困難軸）方向の磁界Hyとの合成磁界が印加される。

【0033】

図16中の実線および破線に示すように、Hard-Axis方向の磁界Hyの大きさによって、MTJ素子の抵抗値を変えるために必要なEasy-Axis方向の磁界Hxの大きさも変化する。この現象を利用することにより、アレイ状に配置されるメモリセルのうち、選択された書き込みワード線WWLおよび選択されたビット線BLの交点に対応して配置されているMTJ素子だけにデータを書き込むことができる。

【 0 0 3 4 】

即ち、図 1 7 に示すように、Easy-Axis 方向の磁界 H_x と Hard-Axis 方向の磁界 H_y との合成磁界の大きさがアステロイド曲線の外側（例えば図中の黒丸の位置）にあれば、MTJ 素子の磁性層の磁化の向きを反転させることができる。

【 0 0 3 5 】

逆に、Easy-Axis 方向の磁界 H_x と Hard-Axis 方向の磁界 H_y との合成磁界の大きさがアステロイド曲線の内側（例えば図中の白丸の位置）にある場合には、MTJ 素子の磁性層の磁化の向きを反転させることはできない。

【 0 0 3 6 】

従って、Easy-Axis 方向の磁界 H_x と Hard-Axis 方向の磁界 H_y との合成磁界の大きさを変え、合成磁界の大きさの H_x - H_y 平面内における位置を変えることにより、MTJ 素子に対するデータの書き込みを制御できる。

【 0 0 3 7 】

次に、前記したように MTJ 素子を用いた MRAM のセンスアンプにおける問題点を説明する。前記したように MTJ 素子の抵抗の変化率（“1” と “0” の抵抗の変化量を “0” 状態の抵抗で割った指標）である MR 比は、20%～40% 程度である。したがって、“1” 状態の MTJ 素子から読み出した信号と “0” 状態の MTJ 素子から読み出した信号レベルの差（信号差）は 2 割から 3 割程度しかない。

【 0 0 3 8 】

一方では、MTJ 素子はトンネルバリア膜を介して電流が流れる構造になっているので、その抵抗値の変化はトンネルバリア膜の膜厚の増加に対して対数的に増加する関係にある。現在報告されている MTJ 素子のトンネルバリア膜の膜厚は数 nm 程度であり、異なる MTJ 素子間の抵抗のばらきは、トンネルバリア膜の膜厚のばらつきによって一層加速されることになる。

【 0 0 3 9 】

したがって、前記したようにセンスアンプの参照電圧（あるいは参照電流）として “1” と “0” の中間レベルを用いる方式を採用すると、MTJ 素子の抵抗のばらつきによって前記信号差が小さくなった場合に読み出しの誤動作をまねき、歩留まりの劣化を招く。このような読み出しの誤動作を防止するために 2 つの MT

J 素子で1ビットを記憶するように構成することは、MRAMの大容量化の観点からは望ましくない。

【0040】

なお、データ“1”のセルとデータ“0”のセルを参照信号生成用に用いる従来例として、ROMセルあるいはEPROMセルを用いる方式（特許文献1）と、MRAMセルを用いる方式（特許文献2）が知られている。また、参照電圧として、二つの基準電位を用いて時間的に切り替える方式が特許文献3に開示されている。

【0041】

【非特許文献1】

Roy Scheuerlein et.al.”A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”,ISSCC2000 Technical Digest pp.128～pp.129

【0042】

【特許文献1】

特許第2647527号明細書

【0043】

【特許文献2】

米国特許第5349302号明細書

【0044】

【特許文献3】

特開2001-035160号公報

【0045】

【発明が解決しようとする課題】

上記したように従来の入力レシーバやセンスアンプに用いられる論理判定回路は、入力信号を検出するための参照レベルのばらつきに起因して誤動作が発生し易いなどの問題があった。

【0046】

本発明は上記の問題点を解決すべくなされたもので、入力信号を検出するための参照レベルのばらつきによる誤動作の発生を防止し得る論理判定回路を備えた

半導体装置、半導体モジュールおよび半導体装置間信号伝送システムを提供することを目的とする。

【 0 0 4 7 】

【課題を解決するための手段】

本発明の半導体装置は、二値論理を有する入力信号を当該入力信号の論理値“1”に対応する第1の参照信号と比較して差信号を生成する第1の比較回路と、前記入力信号を当該入力信号の論理値“0”に対応する第2の参照信号と比較して差信号を生成する第2の比較回路と、前記第1の比較回路の出力と前記第2の比較回路の出力を比較して前記入力信号の論理値を判定する第3の比較回路とを具備する論理判定回路を内蔵することを特徴とする。

【 0 0 4 8 】

本発明の半導体装置は、二値論理を有する入力信号の論理値を判定するための参照信号として論理値の“1”レベルと“0”レベルを有する2つの参照信号を用い、入力信号のレベルが2つの参照信号のレベルのどちらに近いかによって入力信号の論理値を判定する論理判定回路を備えたことを特徴とする。

【 0 0 4 9 】

本発明の半導体装置間信号伝送システムは、複数の半導体装置間で二値論理を有する信号を送受信する信号伝送システムであって、各半導体装置は外部からの入力信号の論理値を判定する入力レシーバを有し、各入力レシーバの論理判定の参照値として、前記入力信号の論理値“1”に対応する第1の参照信号と論理値“0”に対応する第2の参照信号を用いることを特徴とする。

【 0 0 5 0 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【 0 0 5 1 】

＜半導体装置間信号伝送システム＞

図1は、本発明の論理判定回路を使用した入力レシーバを有する複数の半導体装置間の信号伝送システムの一例を示している。

【 0 0 5 2 】

この信号伝送システムは、複数の半導体装置（半導体メモリ、MPU など）10に共通にアドレスバス・データバス・制御信号線11が接続されており、各半導体装置10の入力レシーバには、二値論理を有する入力信号と参照電圧1 (Vref1) と参照電圧2 (Vref0) が外部から供給される。この2つの参照電圧Vref1,Vref0 はそれぞれ対応して入力信号の論理値“1”、“0”に相当する電圧である。

【0053】

各半導体装置10の入力レシーバに用いられている本発明の論理判定回路においては、後述するように、入力信号のレベルが2つの参照電圧Vref1,Vref0 のどちらに近いかによって入力信号の論理レベルを判定する。この際、電圧比較の対象となる2つの入力の電位差は、従来の論理判定回路における入力信号と参照電圧の電位差より大きく（2倍）なる。したがって、ノイズに強い入力レシーバを実現することが可能である。

【0054】

なお、上記信号伝送システムは、例えば複数の半導体装置が同一配線基板に実装された半導体モジュール（複数の半導体メモリが同一配線基板に実装されたメモリモジュールを含む）に適用される。

【0055】

<本発明の論理判定回路の原理>

図2は、本発明に係る半導体装置に形成された論理判定回路の原理的な構成を示す。

【0056】

図2において、 V_{in} は入力信号の電圧、 V_{ref1} は入力信号の論理値“1”に相当する第1の参照電圧、 V_{ref0} は入力信号の論理値“0”に相当する第2の参照電圧である。

【0057】

入力電圧 V_{in} が入力する信号入力ノードは、抵抗素子 $R1$ を介して第1の演算増幅器（オペアンプ）OP1の反転入力ノード（-）に接続されており、この第1の演算増幅器OP1の反転入力ノード（-）と出力ノードGとの間に帰還用の抵抗素子 $R2$ が接続されている。

【 0 0 5 8 】

第 1 の参照電圧 V_{ref1} が入力する第 1 の参照信号入力ノードは、抵抗素子 $R3$ と $R4$ を直列に介して接地されており、この抵抗素子 $R3$ と $R4$ の接続ノード D は第 1 の演算増幅器 $OP1$ の非反転入力ノード (+) に接続されている。

【 0 0 5 9 】

前記信号入力ノードは、抵抗素子 $R5$ を介して第 2 の演算増幅器 $OP2$ の反転入力ノード (-) に接続されており、この第 2 の演算増幅器 $OP2$ の反転入力ノード (-) と出力ノード H との間に帰還用の抵抗素子 $R6$ が接続されている。

【 0 0 6 0 】

第 2 の参照電圧 V_{ref0} が入力する第 2 の参照信号入力ノードは、抵抗素子 $R7$ と $R8$ を直列に介して接地されており、この抵抗素子 $R7$ と $R8$ の接続ノード F は第 2 の演算増幅器 $OP2$ の非反転入力ノード (+) に接続されている。

【 0 0 6 1 】

さらに、第 1 の演算増幅器 $OP1$ の出力ノード G および第 2 の演算増幅器 $OP2$ の出力ノード H は、第 3 の演算増幅器 $OP3$ の反転入力ノード (-) および非反転入力ノード (+) に対応して接続されており、この第 3 の演算増幅器 $OP3$ の出力ノードに論理判定出力 V_{out} が得られる。

【 0 0 6 2 】

上記構成の論理判定回路の動作は、入力信号のレベルが 2 つの参照電圧 V_{ref1} , V_{ref0} のどちらに近いかによって入力信号の論理レベルを判定する。即ち、図 2 の回路において、各抵抗素子 $R1 \sim R8$ の抵抗値が同じとすると、ノード D の電位は $V_{ref1}/2$ となるから、第 1 の演算増幅器 $OP1$ の出力ノード G の電位のフィードバックにより、抵抗素子 $R1$ と $R2$ の接続ノード C の電位も同じく $V_{ref1}/2$ となる。したがって、ノード G は、 $(V_{ref1}/2) - (V_{in} - V_{ref1}/2) = V_{ref1} - V_{in}$ となり、 V_{in} と V_{ref1} の差電圧 (第 1 の差電圧) が出力される。

【 0 0 6 3 】

一方、ノード F の電位は $V_{ref0}/2$ となるから、第 2 の演算増幅器 $OP2$ の出力ノード H の電位のフィードバックにより、抵抗素子 $R5$ と $R6$ の接続ノード E の電位も同じく $V_{ref0}/2$ となる。したがって、ノード H は、 $(V_{ref0}/2) - (V_{in} - V_{ref0}/2) = V_{ref0} - V_{in}$ となり、 V_{in} と V_{ref0} の差電圧 (第 2 の差電圧) が出力される。

$V_{ref0} - V_{in}$ となり、 V_{in} と V_{ref0} の差電圧（第 2 の差電圧）が出力される。

【 0 0 6 4 】

そして、第 1 の差電圧と第 2 の差電圧を、デジタル値に変換することなく電位差のまま保持し、第 3 の演算増幅器 OP3 で比較して二値データに変換する。

【 0 0 6 5 】

この場合、第 1 の電位差および第 2 の電位差は、それぞれ入力電圧 V_{in} と論理値 “ 1 ”、“ 0 ” の中間電圧 $(V_{ref1} + V_{ref0})/2$ との電位差より大きく、第 3 の演算増幅器 OP3 の 2 入力の電位差は、 $(V_{in} - V_{ref0}) - (V_{ref1} - V_{in}) = 2 \times V_{in} - V_{ref1} + V_{ref0}$ となる。つまり、従来例の論理判定回路の 2 入力の電位差 $(V_{in} - (V_{ref1} + V_{ref0})/2)$ より大きく（2 倍）なるので、判定動作のマージンが大きくなる。

【 0 0 6 6 】

なお、図 2 に示した論理判定回路が半導体メモリのセンスアンプに使用される場合には、メモリセルから読み出したビット線信号（入力信号）のレベルが 2 つの参照電圧 V_{ref1} , V_{ref0} のレベルのどちらに近いかを判断する。この場合、参照電圧 V_{ref1} , V_{ref0} は、“ 1 ” を記憶した参照用のメモリセルと “ 0 ” を記憶した参照用のメモリセルをそれぞれ用いて生成される。

【 0 0 6 7 】

< 論理判定回路の第 1 の実施形態 >

図 3 は、本発明の論理判定回路の第 1 の実施形態を示す。

【 0 0 6 8 】

この論理判定回路は、入力信号が電圧 V_{in} の場合の一例であり、入力レシーバあるいはセンスアンプに用いられる。

【 0 0 6 9 】

図 3 において、PMOS カレントミラー型の第 1 の電圧比較回路 31 は、 V_{in} がゲートに入力する NMOS トランジスタ M1、 V_{ref1} がゲートに入力する NMOS トランジスタ M2、カレントミラー接続された PMOS トランジスタ P1, P2 からなる。PMOS カレントミラー型の第 2 の電圧比較回路 32 は、 V_{in} がゲートに入力する NMOS トランジスタ M3、 V_{ref0} がゲートに入力する NMOS トランジスタ M4、カレントミラー接続された PMOS トランジスタ P3, P4 からなる。なお、上記負荷用の PMOS トランジスタ P1 ~ P4

の駆動力は同じであり、入力用のNMOSトランジスタM1～M4の駆動力は同じであるものとする。

【 0 0 7 0 】

差動アンプ33は、上記 2 つの電圧比較回路31,32 の各出力が入力する。この場合、（－）入力の電位は、第 1 の電圧比較回路31におけるVref1 がゲート入力しているNMOSトランジスタM2が流す電流とVin がゲート入力しているNMOSトランジスタM1が流す電流との差電流に比例する。つまり、差動アンプ33の（－）入力ノードのMOS トランジスタのゲートキャパシタンスなどによる寄生キャパシタに電荷が充電され、差電流に応じた電位差が生じる。

【 0 0 7 1 】

また、差動アンプ33の（＋）入力の電位は、第 2 の電圧比較回路32におけるVref0 がゲート入力しているNMOSトランジスタM4が流す電流とVin がゲート入力しているNMOSトランジスタM3が流す電流との差電流に比例する。つまり、差動アンプの（＋）入力ノードのMOS トランジスタのゲートキャパシタンスなどによる寄生キャパシタに電荷が充電され、差電流に応じた電位差が生じる。

【 0 0 7 2 】

<論理判定回路の第 2 の実施形態>

図 4 は、本発明の論理判定回路の第 2 の実施形態を示す。

【 0 0 7 3 】

この論理判定回路は、入力信号が電流Iin の場合の一例であり、センスアンプに用いられる。

【 0 0 7 4 】

図 4 において、Iref0 入力回路40は論理値 “ 0 ” の参照電流Iref0 が入力し、Iref1 入力回路41は論理値 “ 1 ” の参照電流Iref1 が入力し、Iin 入力回路42はIin が入力する。43はNMOSカレントミラー型の第 1 の電流比較回路、44はNMOSカレントミラー型の第 2 の電流比較回路、45は差動アンプである。

【 0 0 7 5 】

Iin 入力回路42は、電源ノードとIin 入力ノードとの間にソース・ドレイン間が接続され、ゲート・ソース相互が接続されたPMOSトランジスタM1からなる。

【 0 0 7 6 】

Iref1 入力回路41は、電源ノードとIref1 入力ノードとの間にソース・ドレイン間が接続され、ゲート・ソース相互が接続されたPMOSトランジスタM4からなる。Iref0 入力回路40は、電源ノードとIref0 入力ノードとの間にソース・ドレイン間が接続され、ゲート・ソース相互が接続されたPMOSトランジスタM5からなる。

【 0 0 7 7 】

第1の電流比較回路43は、Iin 入力回路42のPMOSトランジスタM1のゲート電位により駆動されるPMOSトランジスタM2と、Iref1 入力回路41のPMOSトランジスタM4のゲート電位により駆動されるPMOSトランジスタM3と、上記2個のPMOSトランジスタM2,M4 の負荷トランジスタとしてカレントミラー接続されたNMOSトランジスタN1,N2 からなり、Iin とIref1 との差電流を出力する。

【 0 0 7 8 】

第2の電流比較回路44は、Iin 入力回路42のPMOSトランジスタM1のゲート電位により駆動されるPMOSトランジスタM7と、Iref0 入力回路40のPMOSトランジスタM5のゲート電位により駆動されるPMOSトランジスタM6と、上記2個のPMOSトランジスタM6,M7 の負荷トランジスタとしてカレントミラー接続されたNMOSトランジスタN3,N4 からなり、Iin とIref0 との差電流を出力する。

【 0 0 7 9 】

なお、上記入力用のPMOSトランジスタM1～M7の駆動力は同じであり、負荷用のNMOSトランジスタN1～N4の駆動力は同じであるものとする。

【 0 0 8 0 】

差動アンプ45は、上記2つの電流比較回路43,44 の各出力が入力する。この場合、(－)入力の電位は、第1の電流比較回路43の出力電流 (Iin とIref1 との差電流) に比例する。つまり、差動アンプ45の(－) 入力ノードのMOS トランジスタのゲートキャパシタンスなどによる寄生キャパシタに電荷が充電され、差電流に応じた電位差が生じる。

【 0 0 8 1 】

また、差動アンプ45の(＋) 入力の電位は、第2の電流比較回路44の出力電流

(I_{in} と I_{ref0} との差電流) に比例する。つまり、差動アンプ45の (+) 入力ノードのMOS トランジスタのゲートキャパシタンスなどによる寄生キャパシタに電荷が充電され、差電流に応じた電位差が生じる。

【 0 0 8 2 】

<論理判定回路の第3の実施形態>

図5は、本発明の論理判定回路の第3の実施形態を示す。

【 0 0 8 3 】

この論理判定回路は、図11(a)に示した従来例に対応する改善例であり、図4を参照して前述した論理判定回路と同様に、入力信号が電流の場合の一例である。

【 0 0 8 4 】

図5に示す論理判定回路において、 I_{in} 入力回路52は、制御信号READにより活性化制御されるNMOSトランジスタN11 を介してNMOSトランジスタN12 に入力電流 I_{in} を流すものであり、電流源回路55により電流が規定される負荷用のPMOSトランジスタP11 を有する。第1のNMOSカレントミラー回路53は、 I_{in} 入力回路52に流れる入力電流 I_{in} をコピーするものであり、 I_{in} 入力回路52のNMOSトランジスタN12 にカレントミラー接続されたNMOSトランジスタN13 と負荷用のPMOSトランジスタP12 との間に、制御信号READにより活性化制御されるNMOSトランジスタN14が挿入接続されている。

【 0 0 8 5 】

I_{ref1} 入力回路51は、制御信号READにより活性化制御されるNMOSトランジスタN15 を介して論理値“1”の参照電流 I_{ref1} を流すものであり、電流源回路55により電流が規定される負荷用のPMOSトランジスタP13 を有する。

【 0 0 8 6 】

第1の差動アンプAmp1は、第1のNMOSカレントミラー回路53の出力電位が (-) 入力となり、 I_{ref1} 入力回路51の出力電位が (+) 入力となる。つまり、第1の差動アンプAmp1は、電流源の供給電流と I_{in} の差に応じた電圧が (-) 入力となり、電流源の供給電流と I_{ref1} の差に応じた電圧が (+) 入力となるため、両入力のレベル差に応じた差電圧を生成する。

【 0 0 8 7 】

第 2 の NMOS カレントミラー回路 54 は、 I_{in} 入力回路 52 に流れる入力電流 I_{in} をコピーするものであり、 I_{in} 入力回路 52 の NMOS トランジスタ N12 にカレントミラー接続された NMOS トランジスタ N16 と負荷用の PMOS トランジスタ P14 との間に、制御信号 READ により活性化制御される NMOS トランジスタ N17 が挿入接続されている。

【 0 0 8 8 】

I_{ref0} 入力回路 50 は、制御信号 READ により活性化制御される NMOS トランジスタ N18 を介して論理値 “0” の参照電流 I_{ref0} を流すものであり、電流源回路 55 により電流が規定される負荷用の PMOS トランジスタ P15 を有する。

【 0 0 8 9 】

第 2 の差動アンプ Amp0 は、第 2 の NMOS カレントミラー回路 54 の出力電位が（＋）入力となり、 I_{ref0} 入力回路 50 の出力電位が（－）入力となる。つまり、第 2 の差動アンプ Amp0 は、電流源の供給電流と I_{in} の差に応じた電圧が（＋）入力となり、電流源の供給電流と I_{ref0} の差に応じた電圧が（－）入力となるため、両入力のレベル差に応じた差電圧を生成する。

【 0 0 9 0 】

第 3 の差動アンプ Amp3、上記 2 つの差動アンプ Amp1, Amp0 の各出力が対応して（＋）入力、（－）入力となり、両入力を比較して二値データに変換する。

【 0 0 9 1 】

上記構成の論理判定回路において、制御信号 READ が活性化されることにより、入力電流 I_{in} とデータ “1” に相当する参照電流 I_{ref1} が第 1 の差動アンプ Amp1 に入力し、両者のレベル差に応じた差電流が生成される。また、制御信号 READ が活性化されることにより、入力電流 I_{in} とデータ “0” に相当する参照電流 I_{ref0} が第 2 の差動アンプ Amp0 に入力し、両者のレベル差に応じた差電流が生成される。そして、第 3 の差動アンプ Amp3 では、上記 2 つの差動アンプ Amp1, Amp0 の各出力電流に比例した 2 つの電位差を比較する。

【 0 0 9 2 】

なお、上記第 1 の差動アンプ Amp1 と第 2 の差動アンプ Amp0 は、出力として Rail

-to-Railの振幅を有する必要はなく、入力差を出力するという働きが重要であり、例えば図4中に示したような単純なカレントミラー型電流比較回路でよい。

【0093】

＜論理判定回路の第4の実施形態＞

図6は、本発明の論理判定回路の第4の実施形態を示す。

【0094】

この論理判定回路は、図11(b)に示した従来例に対応する改善例であり、図3を参照して前述した論理判定回路と同様に、入力信号が電圧の場合の一例である。

【0095】

図6に示す論理判定回路において、第1のVin 入力回路62は、Vin がゲートに入力するNMOSトランジスタN21 と、電流源回路65により電流が規定される負荷用のPMOSトランジスタP21 を有する。Vref1 入力回路61は、Vref1 がゲートに入力するNMOSトランジスタN22 と、電流源回路65により電流が規定される負荷用のPMOSトランジスタP22 を有する。

【0096】

第1の差動アンプAmp1は、第1のVin 入力回路62の出力電位が(−)入力となり、Vref1 入力回路61の出力電位が(+)入力となる。つまり、第1の差動アンプAmp1は、電流源の供給電流とゲート電圧がVinであるNMOSトランジスタN21のドライブ電流との差に応じた電圧が(+)入力となり、電流源の供給電流とゲート電圧がVref1であるNMOSトランジスタN22のドライブ電流との差に応じた電圧が(−)入力となるため、両入力のレベル差に応じた差電圧を生成する。

【0097】

第2のVin 入力回路64は、Vin がゲートに入力するNMOSトランジスタN23 と、電流源回路65により電流が規定される負荷用のPMOSトランジスタP23 を有する。Vref0 入力回路60は、Vref0 がゲートに入力するNMOSトランジスタN24 と、電流源回路65により電流が規定される負荷用のPMOSトランジスタP24 を有する。

【0098】

第2の差動アンプAmp0は、第2のVin 入力回路64の出力電位が(−)入力とな



り、Vref0 入力回路60の出力電位が（+）入力となる。つまり、第2の差動アンプAmp0は、電流源の供給電流とゲート電圧がVinであるNMOSトランジスタN23のドライブ電流との差に応じた電圧が（+）入力となり、電流源の供給電流とゲート電圧がVref0であるNMOSトランジスタN24のドライブ電流との差に応じた電圧が（-）入力となるため、両入力のレベル差に応じた差電圧を生成する。

【0099】

第3の差動アンプAmp3は、上記2つの差動アンプAmp1,Amp0 の各出力が対応して（+）入力、（-）入力となり、両入力を比較して二値データに変換する。

【0100】

上記構成の論理判定回路において、入力電圧Vin とデータ“1”に相当する参照電圧Vref1 が第1の差動アンプAmp1に投入し、両者のレベル差に応じた差電圧が生成される。また、入力電圧Vin とデータ“0”に相当する参照電圧Vref2 が第2の差動アンプAmp0に投入し、両者のレベル差に応じた差電圧が生成される。そして、第3の差動アンプAmp3では、上記2つの差動アンプAmp1,Amp0 の各出力電圧を比較する。

【0101】

なお、上記第1の差動アンプAmp1と第2の差動アンプAmp0は、出力としてRail-to-Railの振幅を有する必要はなく、入力差を出力するという働きが重要であり、例えば図3中に示したような単純なカレントミラー型比較回路でよい。

【0102】

前述した各実施形態において、動作マージンを上げるためにVref1（あるいはIref1）およびVref0（あるいはIref0）を以下のように設定することが望ましい。

【0103】

即ち、論理値と実際に電圧、電流の大きさに関して、データ“1”の入力レベル（電圧Vin1あるいは電流Iin1）がデータ“0”の入力レベル（電圧Vin0あるいは電流Iin0）より大きい場合には、Vref1（あるいはIref1）をデータ“1”の入力レベル（電圧Vin1あるいは電流Iin1）の分布の最大値よりも大きな値に設定し、Vref0（あるいはIref0）をデータ“0”の入力レベル（電圧Vin0あるいは

電流 I_{in0})の分布の最小値よりも小さな値に設定することが望ましい。

【0104】

上記とは逆に、論理値と実際に電圧、電流の大きさに関して、データ“0”の入力レベル（電圧 V_{in0} あるいは電流 I_{in0} ）がデータ“1”の入力レベル（電圧 V_{in1} あるいは電流 I_{in1} ）より大きい場合には、 V_{ref1} （あるいは I_{ref1} ）をデータ“1”の入力レベル（電圧 V_{in1} あるいは電流 I_{in1} ）の分布の最小値よりも小さな値に設定し、 V_{ref0} （あるいは I_{ref0} ）をデータ“0”の入力レベル（電圧 V_{in0} あるいは電流 I_{in0} ）の分布の最大値よりも大きな値に設定することが望ましい。

【0105】

なお、半導体メモリにおいて、参照電圧あるいは参照電流を生成する回路は、メモリセルアレイ内の本来のデータセルと寄生抵抗、寄生容量を合わせるためにメモリセルアレイ内にレファレンス用のセルを設けて参照電圧あるいは参照電流を生成する場合がある。その場合、レファレンスセルが上記の条件を満たすとは限らないが、上記の条件を満たすようにセンスアンプの手前で電圧／電流を変換する回路を設ければよい。

【0106】

＜論理判定回路の第5の実施形態＞

第5の実施形態においては、図3に示した電圧入力タイプの論理判定回路の動作マージンを上げるために、 V_{ref1} と V_{ref0} を以下のように設定している。

【0107】

即ち、データ“1”の参照電圧 V_{ref1} の方が、データ“0”の参照電圧 V_{ref0} より大きい場合には、論理判定回路の各カレントミラー回路において、負荷用のPMOSトランジスタ $P1\sim P4$ の駆動力は、図3の回路と同様に同じであるが、入力用のNMOSトランジスタ $M1, M2, M3, M4$ の駆動力を、 $M1 > M2 = M3 > M4$ の関係に設定しておく。この駆動力の差の度合いは、データ“1”のレファレンスセルとデータセルの“1”の分布、データ“0”のレファレンスセルとデータセルの“0”の分布に応じて決定する。

【0108】

上記とは逆に、データ“1”の参照電圧 V_{ref1} の方が、データ“0”の参照電圧 V_{ref0} より小さい場合には、論理判定回路の各カレントミラー回路において、負荷用のPMOSトランジスタ $P1 \sim P4$ の駆動力は、図3の回路と同様に同じであるが、入力用のNMOSトランジスタ $M1, M2, M3, M4$ の駆動力を、 $M4 > M2 = M3 > M1$ の関係に設定しておく。

【0109】

<論理判定回路の第6の実施形態>

第6の実施形態においては、図4に示した電流入力タイプの論理判定回路の動作マージンを上げるために、 I_{ref1} と I_{ref0} を以下のように設定している。

【0110】

即ち、データ“1”の参照電流 I_{ref1} の方が、データ“0”の参照電流 I_{ref0} より大きい場合には、論理判定回路の各カレントミラー回路において、負荷用のNMOSトランジスタ $N1 \sim N4$ の駆動力は、図4の回路と同様に同じであるが、入力用のPMOSトランジスタ $M1, M2, M3, M4, M5, M6, M7$ の駆動力を、 $M4 > M1 = M2 = M3 = M6 = M7 > M5$ の関係に設定しておく。この駆動力の差の度合いは、データ“1”のレファレンスセルとデータセルの“1”の分布、データ“0”のレファレンスセルとデータセルの“0”の分布に応じて決定する。

【0111】

上記とは逆に、データ“1”の参照電流 I_{ref1} の方が、データ“0”の参照電流 I_{ref0} より小さい場合には、論理判定回路の各カレントミラー回路において、負荷用のNMOSトランジスタ $N1 \sim N4$ の駆動力は、図4の回路と同様に同じであるが、入力用のPMOSトランジスタ $M1, M2, M3, M4, M5, M6, M7$ の駆動力を、負荷用のPMOSトランジスタの駆動力は、図4の回路と同様に同じであるが、入力用のNMOSトランジスタ $M5 > M1 = M2 = M3 = M6 = M7 > M4$ の関係に設定しておく。

【0112】

<論理判定回路の第7の実施形態>

図7は、図4に示した電流入力タイプの論理判定回路をMTJ-MRAMのセンスアンブに用いる場合の一具体例を示す。

【0113】

図 7 において、70 はメモリセルアレイの一部を示しており、71 は図 4 に示した論理判定回路を用いたセンスアンプである。メモリセルアレイ 70 は、それぞれ 1 個の MTJ 素子と 1 個の読み出し用の NMOS トランジスタが直列に接続された 1 MTJ-1Tr タイプの複数のメモリセル MC と複数のリファレンスセル RC が行列状に配設されている。同一行のメモリセル MC とリファレンスセル RC の各 NMOS トランジスタのゲートに共通にワード線 $WL_i, WL(i+1), \dots$ が接続され、同一列のメモリセル MC の各 MTJ 素子の一端に共通にビット線 $BL_j, BL(j+1), \dots$ が接続され、同一列の論理値 “1” のリファレンスセル RC の各 MTJ 素子の一端に共通に第 1 のリファレンスビット線 RBL_1 が接続され、同一列の論理値 “0” のリファレンスセル RC の各 MTJ 素子の一端に共通に第 2 のリファレンスビット線 RBL_0 が接続されている。

【 0 1 1 4 】

各ビット線 $BL_j, BL(j+1), \dots$ は、それぞれ対応してカラムアドレスにより選択されるカラムスイッチ用の NMOS トランジスタ $CSL(j), CSL(j+1), \dots$ を介してデータ線 DL に一括接続されており、このデータ線 DL はセンスアンプ 71 の電流入力ノードに接続されている。

【 0 1 1 5 】

また、論理値 “1” のリファレンスセル RC に接続されている第 1 のリファレンスビット線 RBL_1 は、カラムアドレスに関係なく常に選択状態に設定されるカラムスイッチ用の NMOS トランジスタ $CSL(R_1)$ を介してセンスアンプ 71 の第 1 のリファレンス電流入力ノードに接続されている。

【 0 1 1 6 】

また、論理値 “0” のリファレンスセル RC に接続されている第 2 のリファレンスビット線 RBL_0 は、カラムアドレスに関係なく常に選択状態に設定されるカラムスイッチ用の NMOS トランジスタ $CSL(R_0)$ を介してセンスアンプ 71 の第 2 のリファレンス電流入力ノードに接続されている。

【 0 1 1 7 】

上記構成を有する MTJ-MRAM の動作は、例えばワード線 WL_i とビット線 BL_i により選択されたメモリセル MC からの読み出し電流がカラムスイッチ用の NMOS トランジスタ CSL_j とデータ線 DL を介してセンスアンプ 71 の電流入力ノードに入力する。

同時に、上記選択セルと同一行の“1”のリファレンスセルRCと“0”のリファレンスセルからの読み出し電流がそれぞれ対応して第1のリファレンスビット線RBL1と第2のリファレンスビット線RBL0を介してセンスアンプ71の第1のリファレンス電流入力ノードと第2のリファレンス電流入力ノードに入力する。センスアンプ71は、図4を参照して前述した電流入力タイプの論理判定回路の動作と同様に動作する。

【0118】

＜論理判定回路の第8の実施形態＞

図8は、図3に示した電圧入力タイプの論理判定回路をMTJ-MRAMのセンスアンプに用いる場合の一具体例を示す。

【0119】

図8において、メモリセルアレイ80は、図7を参照して前述したメモリセルアレイ70とほぼ同様の構成であるが、メモリセル電流供給用の電流源82がデータ線DLに接続され、リファレンスセル電流供給用の電流源83がカラムスイッチ用のNMOSトランジスタCSL(R1)の一端側に接続され、リファレンスセル電流供給用の電流源84がカラムスイッチ用のNMOSトランジスタCSL(R0)の一端側に接続されている。

【0120】

電流源82,83,84の駆動能力は同じである。そのため、メモリセルのMTJ素子の抵抗値に応じて、電圧が各ビット線(BL(j), BL(j+1), REF(0), REF(1))にあらわれる。MTJ素子の抵抗が高いほど、その電位は高くなる。

【0121】

これによって、メモリセルMCのMTJ素子の抵抗値に応じた電圧がセンスアンプ81の電圧入力ノードに入力し、論理値“1”のリファレンスセルRCのMTJ素子の抵抗値に応じた電圧と論理値“0”のリファレンスセルRCのMTJ素子の抵抗値に応じた電圧がそれぞれ対応してセンスアンプ81の第1のリファレンス電圧入力ノードと第2のリファレンス電圧入力ノードに入力する。センスアンプ81は、図3を参照して前述した電圧入力タイプの論理判定回路の動作と同様に動作する。

【0122】

＜論理判定回路の第 9 の実施形態＞

図 9 に示す論理判定回路は、図 4 に示した電流入力タイプの論理判定回路を MTJ-MRAM のセンスアンプに用いる場合であって、セルに印加される電圧に制限がある場合の実施例を示す。

【 0 1 2 3 】

この論理判定回路は、図 4 に示した論理判定回路と比べて、 I_{in} 入力回路 42a、 I_{ref1} 入力回路 41a、 I_{ref0} 入力回路 40a が異なり、その他は同じである。

【 0 1 2 4 】

I_{in} 入力回路 42a は、電源ノードと I_{in} 入力ノードとの間に接続された PMOS トランジスタ 91 と、(+) 入力端が I_{in} 入力ノードに接続され、(-) 入力端に固定電位 V_{cst} が印加され、出力端が PMOS トランジスタ 91 のゲートに接続されたオペアンプ 92 とからなる。上記オペアンプ 92 の出力電位は、カレントミラー型の第 1 の電流比較回路 43 の I_{in} 入力用の PMOS トランジスタのゲートおよびカレントミラー型の第 2 の電流比較回路 44 の I_{in} 入力用の PMOS トランジスタのゲートに供給される。

【 0 1 2 5 】

I_{ref1} 入力回路 41a は、電源ノードと I_{ref1} 入力ノードとの間に接続された PMOS トランジスタ 93 と、(+) 入力端が I_{ref1} 入力ノードに接続され、(-) 入力端に固定電位 V_{cst} が印加され、出力端が PMOS トランジスタ 93 のゲートに接続されたオペアンプ 94 とからなる。上記オペアンプ 94 の出力電位は、前記第 1 の電流比較回路 43 の I_{ref1} 入力用の PMOS トランジスタのゲートに供給される。

【 0 1 2 6 】

I_{ref0} 入力回路 40a は、電源ノードと I_{ref0} 入力ノードとの間に接続された PMOS トランジスタ 95 と、(+) 入力端が I_{ref0} 入力ノードに接続され、(-) 入力端に固定電位 V_{cst} が印加され、出力端が PMOS トランジスタ 95 のゲートに接続されたオペアンプ 96 とからなる。上記オペアンプ 96 の出力電位は、前記第 2 の電流比較回路 44 の I_{ref0} 入力用の PMOS トランジスタのゲートに供給される。

【 0 1 2 7 】

各オペアンプ 92, 94, 96 の動作により、 I_{in} 入力ノード、 I_{ref1} 入力ノード、 I_{r

ef0 入力ノードの各電圧を固定電位 V_{cst} に制限することが可能になる。したがって、固定電位 V_{cst} として、例えばメモリ内部で生成されたバンドギャップリファレンス(BGR) 電位を用いることにより、Iin 入力ノード、Iref1 入力ノード、Iref0 入力ノードの各電圧をバンドギャップリファレンス電位に制限することが可能になる。

【0 1 2 8】

【発明の効果】

上述したように本発明によれば、二値論理を有する入力信号の論理値“1”と“0”との信号差が小さくても、歩留まりを向上させることが可能なセンスアンプ、あるいは、ノイズに強い入力レシーバを有する半導体装置および半導体装置間信号伝送システムを実現することができる。

【図面の簡単な説明】

【図 1】 本発明の論理判定回路を使用した入力レシーバを有する複数の半導体装置間の信号伝送システムの一例を示すブロック図。

【図 2】 本発明に係る半導体装置に形成された論理判定回路の原理的な構成を示す回路図。

【図 3】 本発明の論理判定回路の第 1 の実施形態を示す回路図。

【図 4】 本発明の論理判定回路の第 2 の実施形態を示す回路図。

【図 5】 本発明の論理判定回路の第 3 の実施形態を示す回路図。

【図 6】 本発明の論理判定回路の第 4 の実施形態を示す回路図。

【図 7】 本発明の論理判定回路の第 7 の実施形態を示す回路図。

【図 8】 本発明の論理判定回路の第 8 の実施形態を示す回路図。

【図 9】 本発明の論理判定回路の第 9 の実施形態を示す回路図。

【図 1 0】 従来の半導体装置間信号伝送システムの一例および各半導体装置の入力レシーバを示すブロック図。

【図 1 1】 従来の半導体装置間信号伝送システムにおける各半導体装置の入力レシーバあるいは半導体メモリのセンスアンプに使用されている論理判定回路の二例を示す回路図。

【図 1 2】 MRAMで用いられるMTJ 素子の断面構造を概略的に示す図。

【図 1 3】 図 1 2 に示した MTJ 素子の 2 つの磁性層の磁化の向きの 2 つの状態を示す図。

【図 1 4】 MRAM のセルアレイの平面レイアウトの一例を模式的に示す図。

【図 1 5】 図 1 4 中の書き込みワード線に垂直な断面におけるメモリセルの 1 個分に着目して構造の一例を示す断面図。

【図 1 6】 MTJ 素子の印加磁界の反転による抵抗値の変化特性（MTJ 曲線）を示す図。

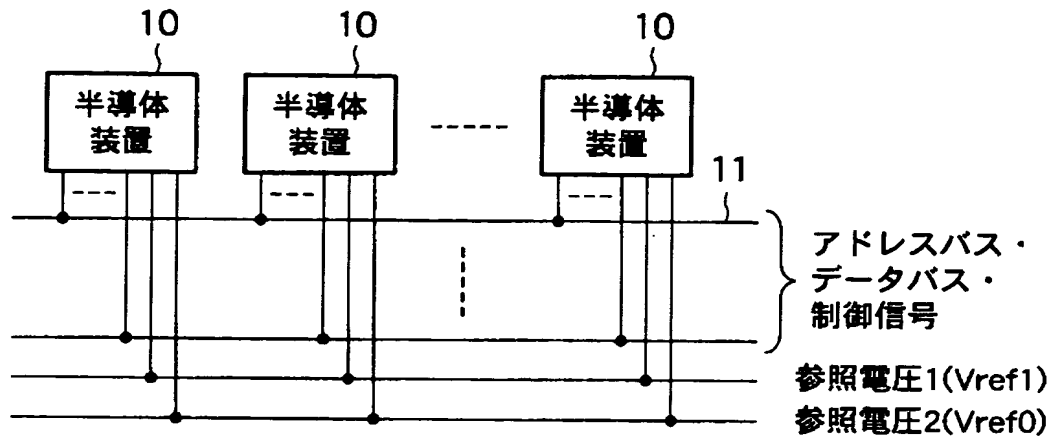
【図 1 7】 MTJ 素子のアステロイド曲線を示す図。

【符号の説明】

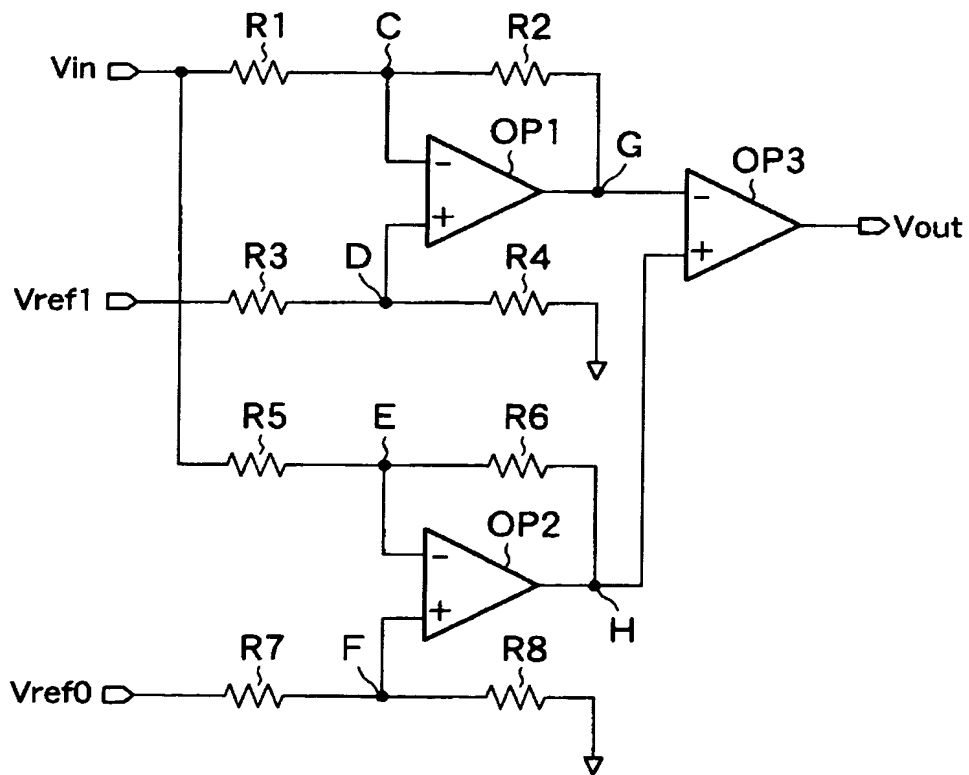
10…半導体装置（半導体メモリ、MPU など）、11…アドレスバス・データバス・制御信号線、Vref1,Vref0 …参照電圧。

【書類名】 図面

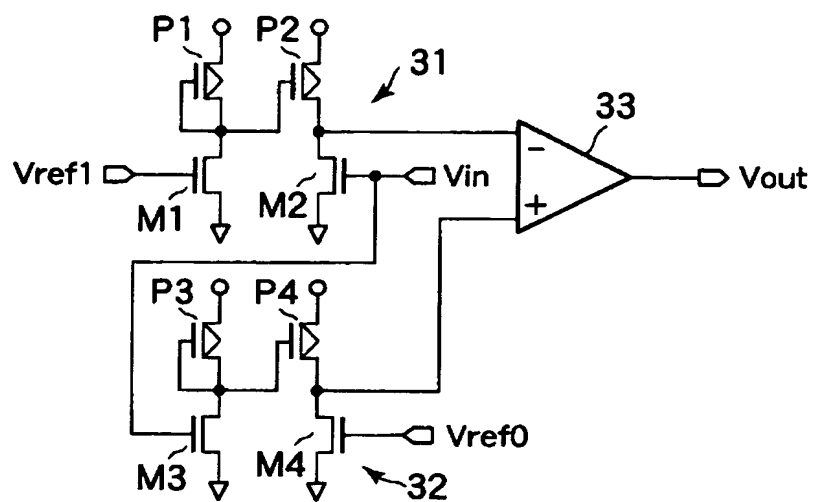
【図 1】



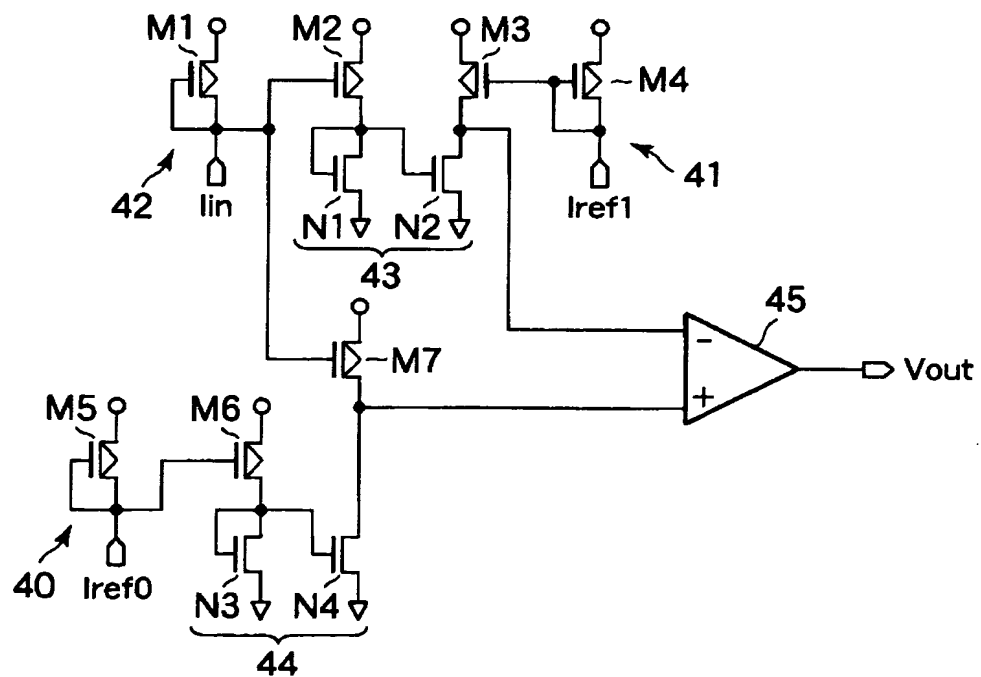
【図 2】



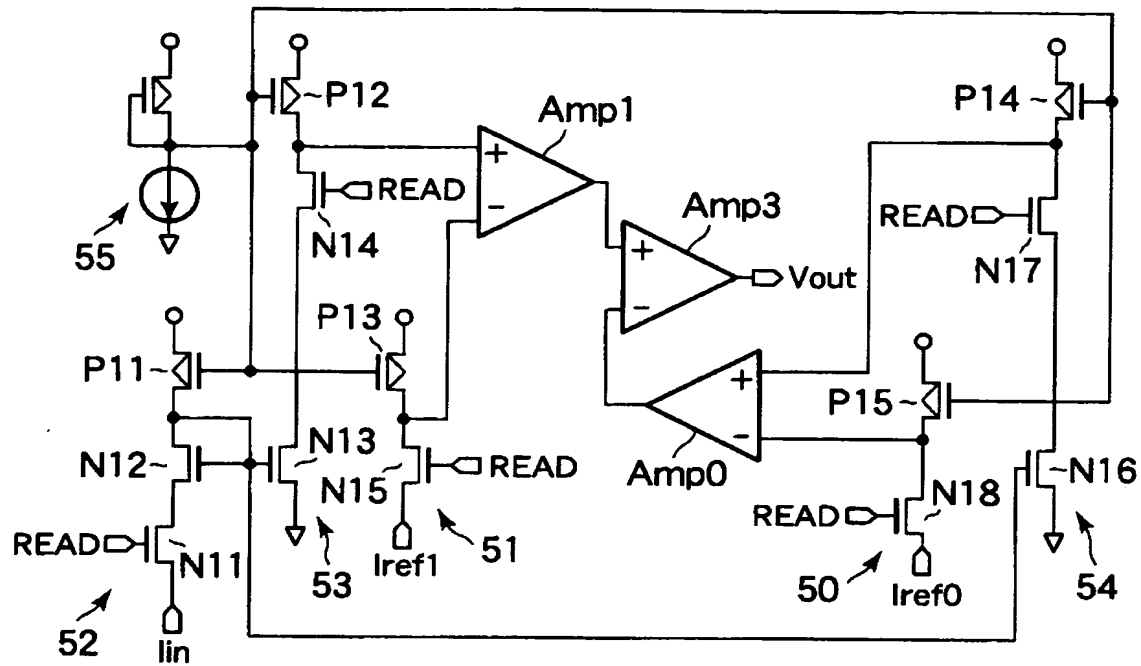
【图 3】



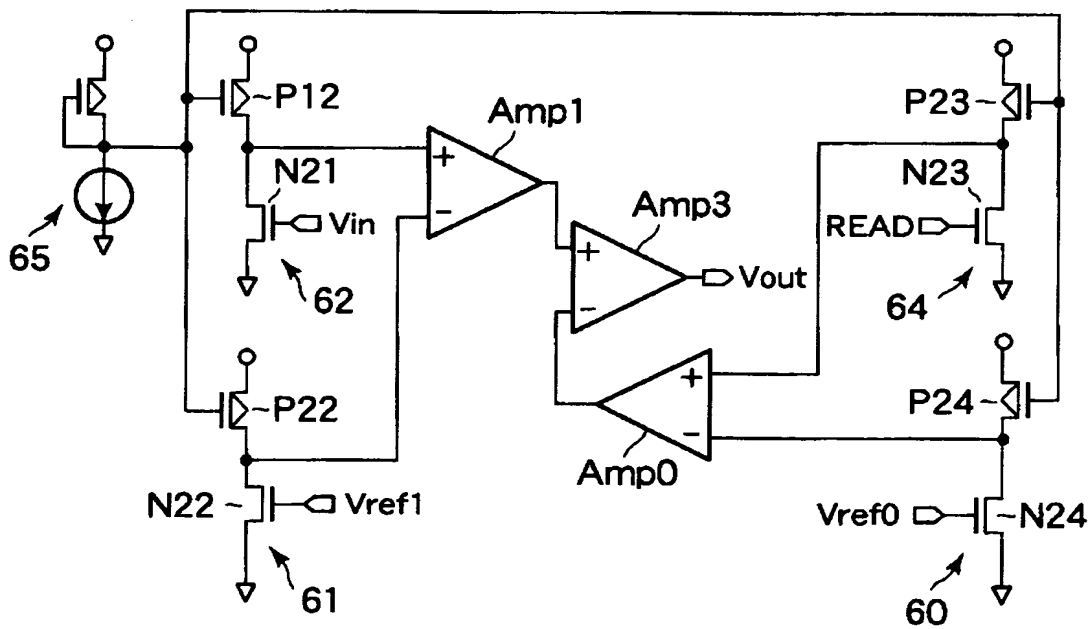
【図 4】



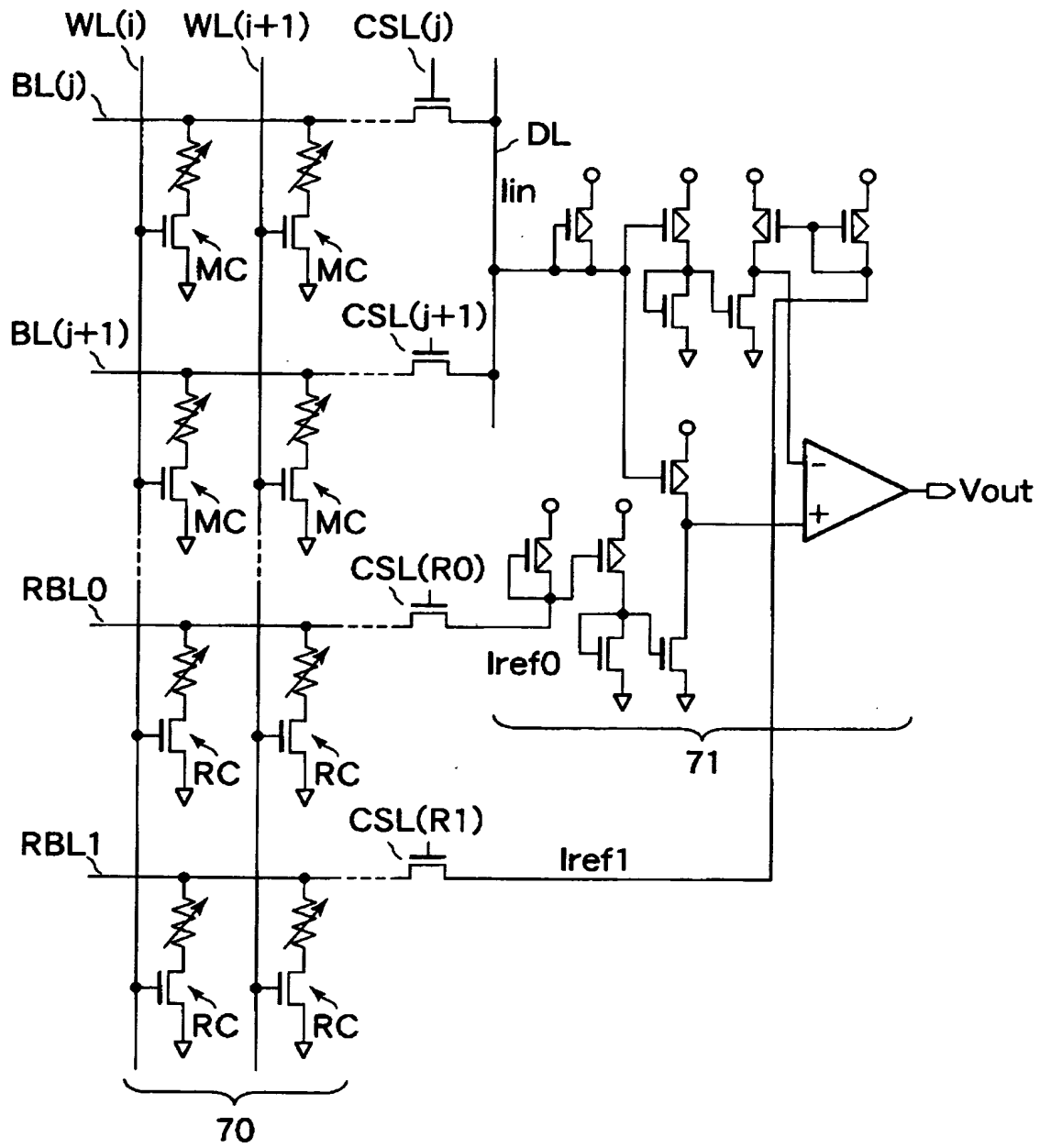
【図 5】



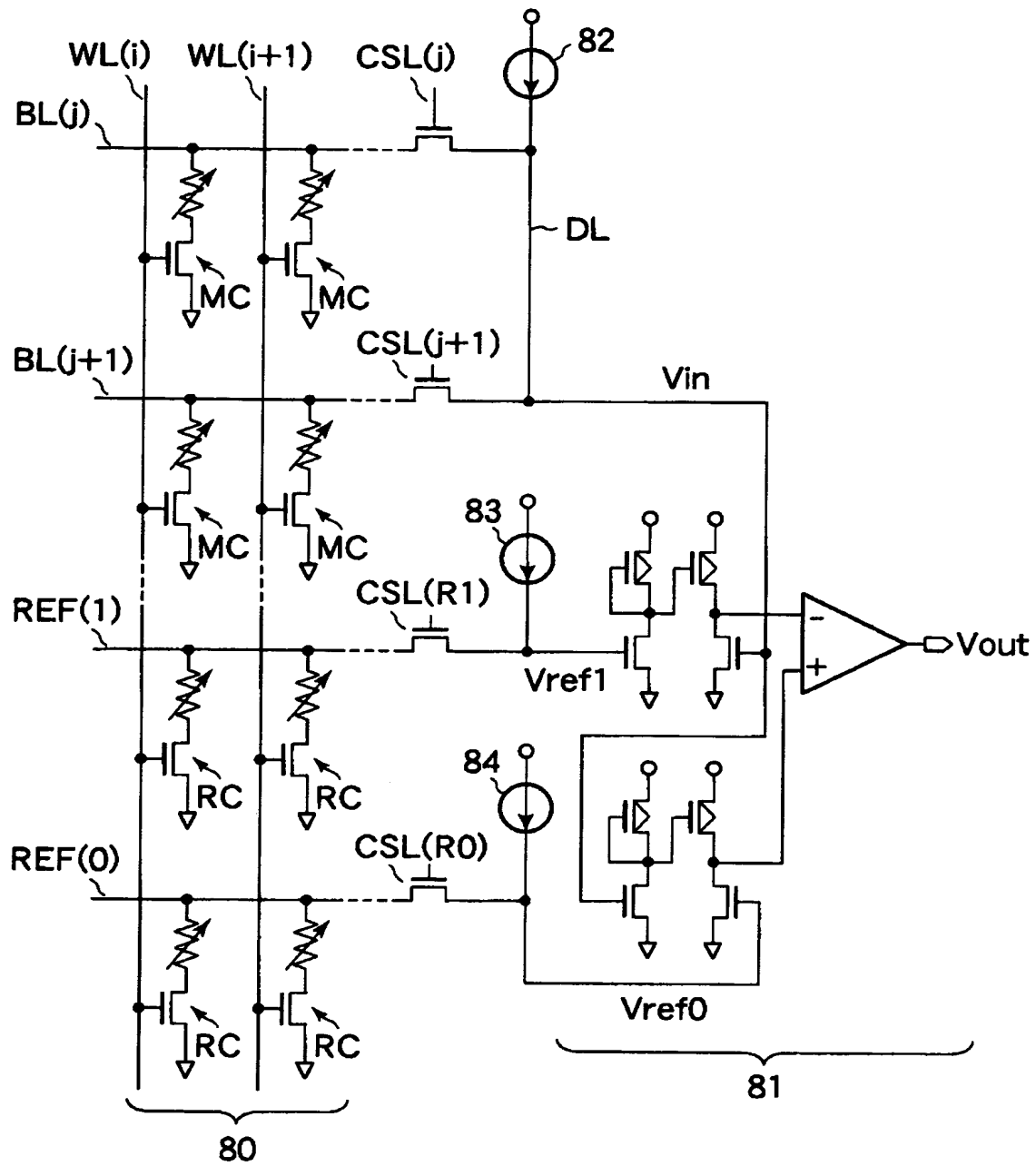
【図 6】



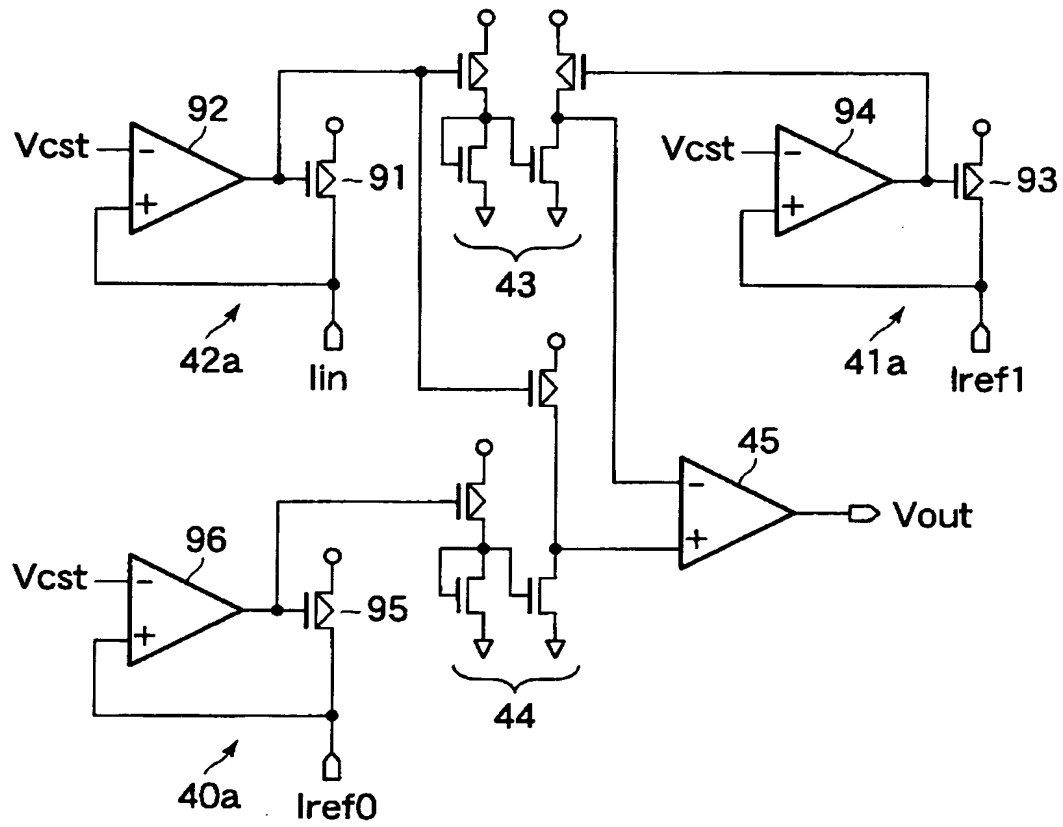
【図 7】



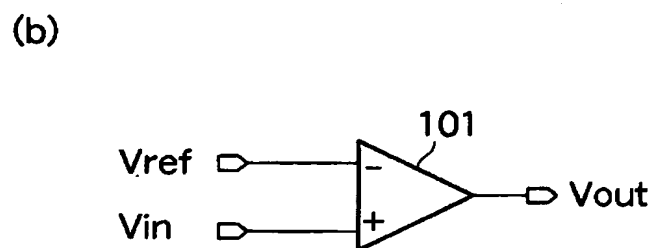
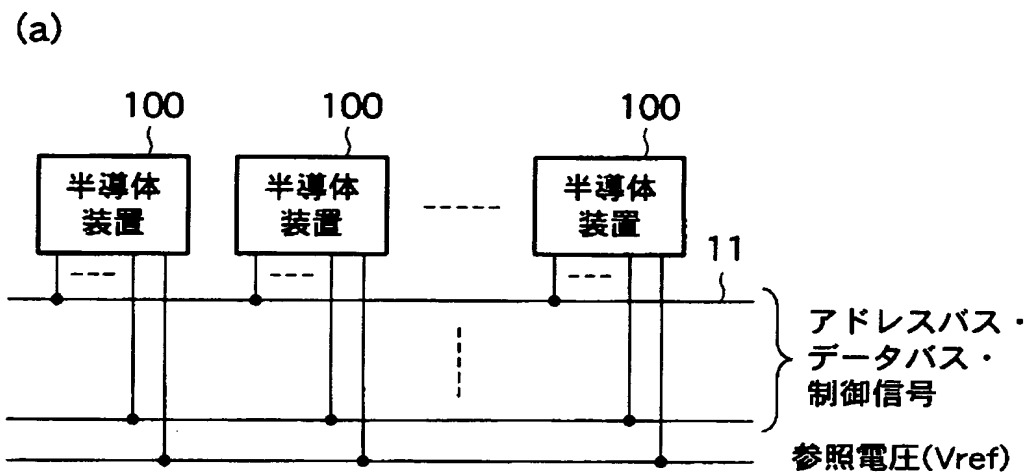
【図 8】



【図 9】

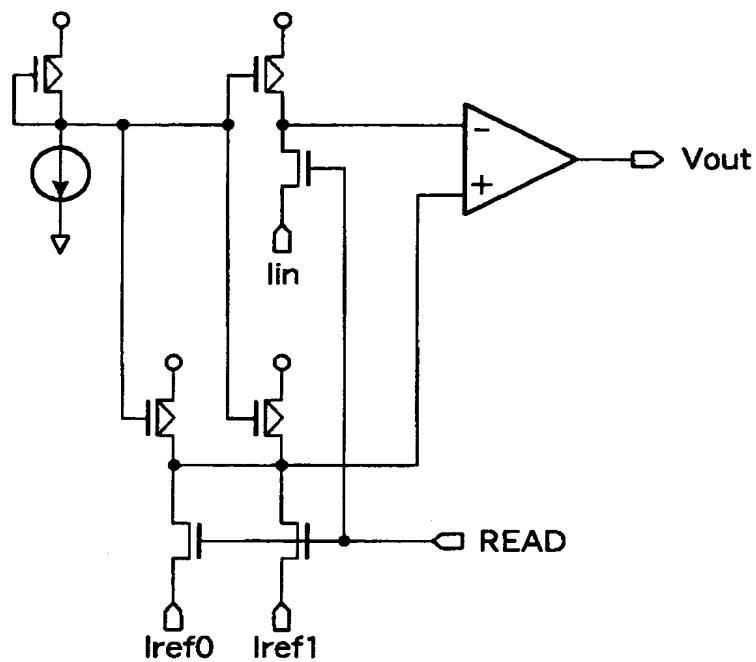


【図 1 0】

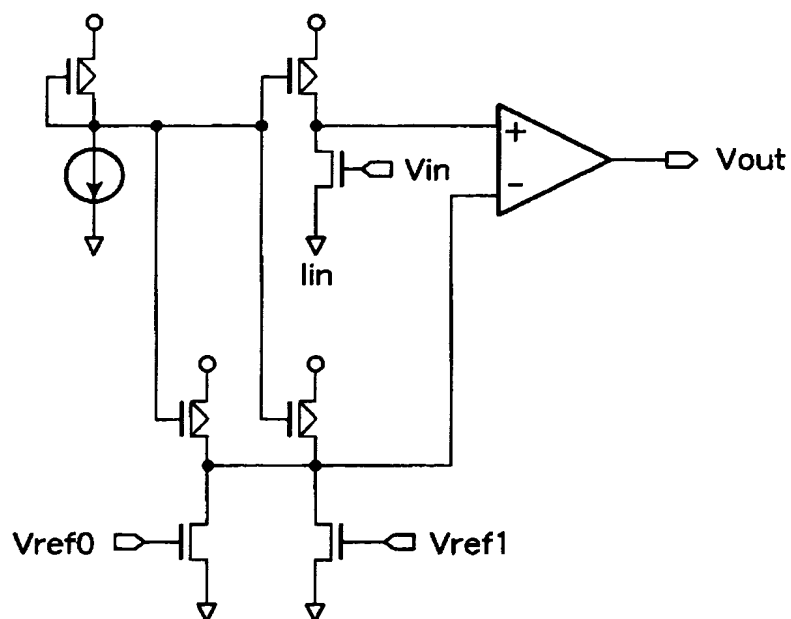


【図 11】

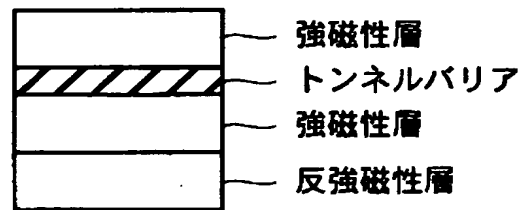
(a)



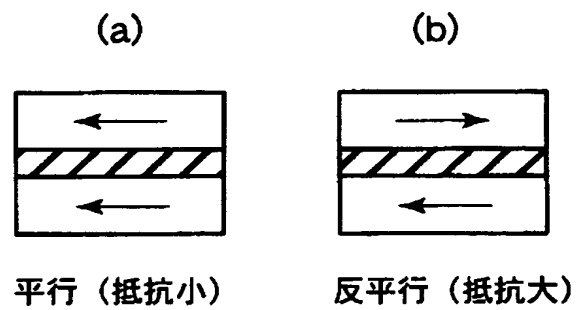
(b)



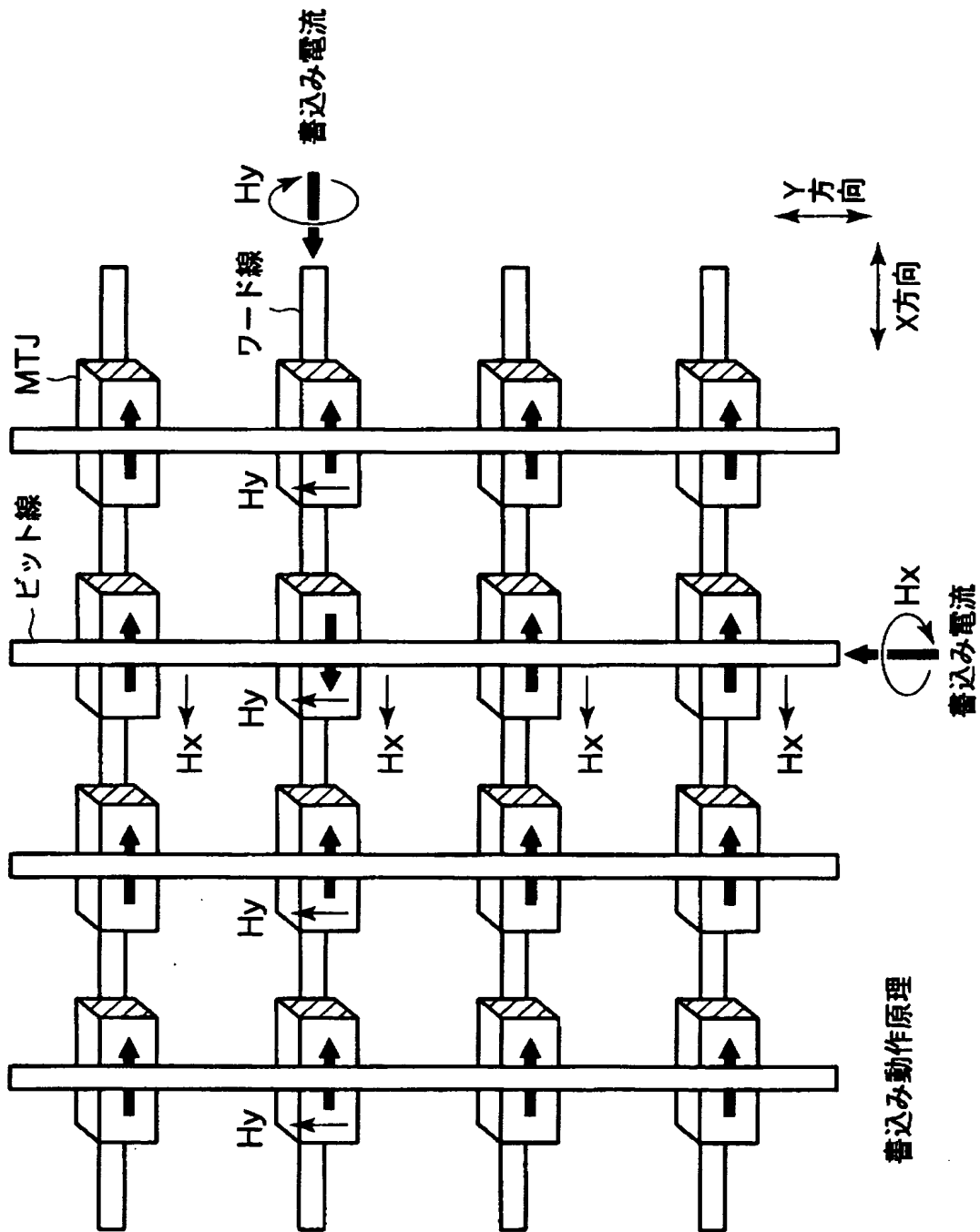
【図 1 2】



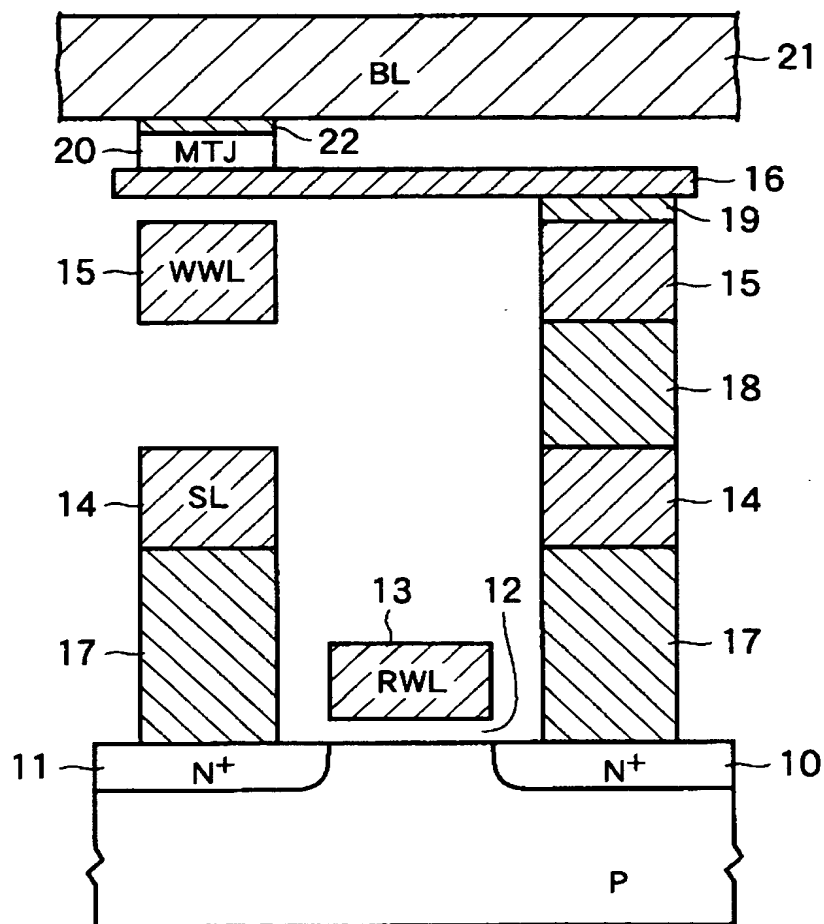
【図 1 3】



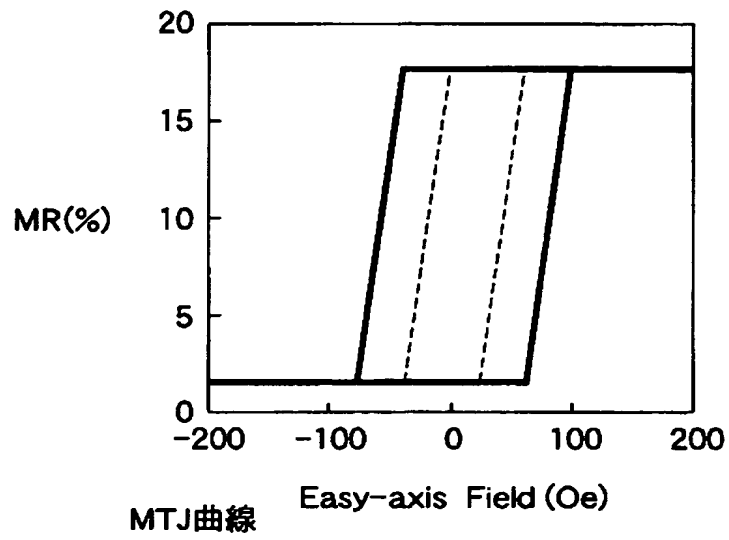
【図 14】



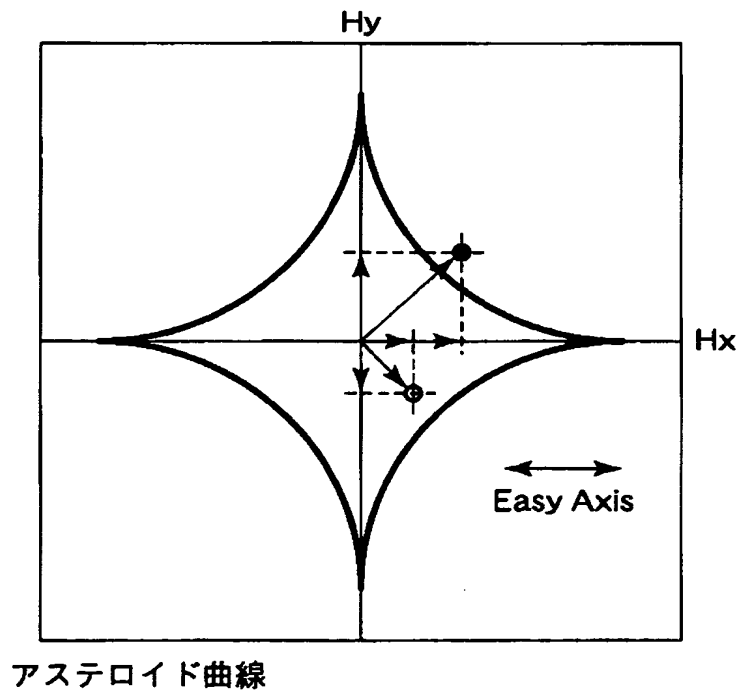
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 入力信号の論理値“1”と“0”との信号差が小さくても、歩留まりを向上させることが可能なセンスアンプやノイズに強い入力レシーバを実現する。

【解決手段】 複数の半導体装置10間の信号伝送システムにおいて、各半導体装置の入力レシーバとして、二値の論理値を有する入力信号の論理値を判定するための参照信号として論理値の“1”レベルと“0”レベルを有する2つの参照信号Vref1,Vref0を用い、入力信号のレベルが2つの参照信号のどちらに近いかによって入力信号の論理レベルを判定する論理判定回路を使用する。

【選択図】 図 1



特2003-051360

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝